

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10107026 A**

(43) Date of publication of application: **24 . 04 . 98**

(51) Int. Cl

**H01L 21/316**  
**H01L 21/3205**

(21) Application number: **09242775**

(22) Date of filing: **08 . 09 . 97**

(30) Priority: **13 . 09 . 96 KR 96 9639844**

(71) Applicant: **SAMSUNG ELECTRON CO LTD**

(72) Inventor:  
**GU SHUZEN**  
**SAI SHIGEN**  
**KO HEIKIN**  
**RI KAITEI**

(54) **METHOD FOR CURING SOG LAYER AND  
METHOD FOR FORMING INSULATING FILM OF  
SEMICONDUCTOR DEVICE USING THE CURING  
METHOD**

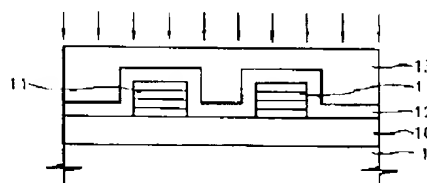
during the processing step.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for curing film material to thereby prevent deterioration of a fire resistance.

SOLUTION: In the method for curing a spin-on-glass(SOG) layer to provide insulating and flattening actions between metal wiring lines, a substrate having an SOG layer 13 is first placed on a target plate within an electron beam irradiating apparatus having a vacuum chamber. The SOG layer 13 is then subjected to irradiation with an electron beam for a predetermined time at a temperature of normal to 500°C for its curing. In this method, at the time of forming an SOG layer to provide insulating and flattening actions between metal wiring lines, the SOG layer 13 is coated on an underlying layer having a predetermined pattern formed thereon. Subsequently, the SOG layer 13 is subjected to irradiation with the electron beam for a predetermined time at a temperature of normal to 500°C for its curing. Thereby the crack resistance and density of the SOG layer 13 can be improved, thus preventing damage of the SOG layer 13



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-107026

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/316

H 0 1 L 21/316

G

21/3205

21/88

P

K

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21)出願番号 特願平9-242775

(22)出願日 平成9年(1997)9月8日

(31)優先権主張番号 1996 P 39844

(32)優先日 1996年9月13日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 具 珠善

大韓民国京畿道龍仁市器興邑農書里山24番地

(72)発明者 崔 志鉉

大韓民国ソウル特別市永登浦区大林3洞宇成アパート5棟106号

(72)発明者 黄 秉權

大韓民国京畿道安養市東安区虎溪2洞916-2番地柳桓アパート1棟102号

(74)代理人 弁理士 服部 雅紀

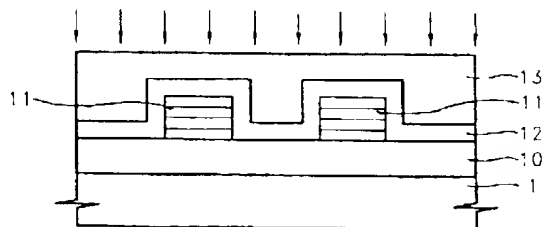
最終頁に続く

(54)【発明の名称】 SOG層キュアリング方法及びこれを用いた半導体装置の絶縁膜製造方法

(57)【要約】

【課題】 膜質が固く、ブライア抵抗の劣化を防止するSOG層キュアリング方法及びこれを用いた半導体装置の絶縁膜製造方法を提供する。

【解決手段】 金属配線間の絶縁作用と平坦化作用を行うSOGのキュアリング方法において、キュアリングするSOG層13の備えられた基板を、真空チャンバの備えられた電子ビーム照射装置内のターゲット平板上に装着する段階と、SOG層13を所定時間常温乃至500℃で電子ビームで照射してキュアリングする段階とを含む。さらに、金属配線間の絶縁作用と平坦化作用を行うSOGの製造方法において、所定のパターンの形成された下地膜上にSOG層13をコーティングする段階と、SOG層13を所定時間常温乃至500℃で電子ビームで照射してキュアリングする段階とを含む。これによって、SOG層13のクラック抵抗性及びSOG層13の密度が向上され、後続プラズマ処理工程時のSOG層13の損傷が防止される。



## 【特許請求の範囲】

【請求項1】 半導体装置のI/D層、I/M層又はパッシベーション層として用いられ、金属配線間の絶縁作用及び平坦化作用を行うSOG層のキュアリング方法において

キュアリングするSOG層の備えられた基板を、真空チャンバの備えられた電子ビーム照射装置内のターゲット平板上に装着する段階と、

前記SOG層を所定時間常温〜500℃で電子ビームで照射してキュアリングする段階とを含めてなることを特徴とするSOG層キュアリング方法

【請求項2】 前記SOG層はHSQからなることを特徴とする請求項1に記載のSOG層キュアリング方法

【請求項3】 前記電子ビーム照射装置は照射されるSOG層に相応する広さを有するカソードを具備することを特徴とする請求項3に記載のSOG層キュアリング方法

【請求項4】 前記電子ビームの照射は500〜50kVの電圧が前記カソードに加えられた状態で行われることを特徴とする請求項3に記載のSOG層キュアリング方法

【請求項5】 半導体装置の絶縁膜製造方法において、所定のパターンの形成された下地膜上にSOG層をコーティングする段階と、

前記SOG層を所定時間常温〜500℃で電子ビームで照射してキュアリングする段階とを含めてなることを特徴とするSOGを用いた半導体装置の絶縁膜製造方法

【請求項6】 前記SOG物質はHSQであることを特徴とする請求項5に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項7】 前記下地膜の上部に第1キャッピング層が形成されることを特徴とする請求項5に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項8】 前記キュアリング段階後、前記SOG層の上部に第2キャッピング層を形成する段階をさらに含むことを特徴とする請求項5に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項9】 前記第1キャッピング層はCVD酸化膜又は低温酸化膜であることを特徴とする請求項7に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項10】 前記CVD酸化膜はSiO<sub>2</sub>、SiON、SiOF又はSiNよりなることを特徴とする請求項8又は9に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項11】 前記コーティング段階後、前記SOG層をベーキングする段階をさらに含むことを特徴とする請求項5に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項12】 金属配線の形成された半導体基板上にSOGをコーティングしてSOG層を形成する段階と、前記SOG層を450℃以下の温度でキュアリングする

段階と、

前記SOG層の上部に第1CVDキャッピング層を形成する段階と、

前記結果物の上部に電子ビームを照射する段階と

前記結果物構造に金属配線コンタクトを形成する段階とを具備することを特徴とするSOGを用いた半導体装置の絶縁膜製造方法

【請求項13】 前記SOG層を形成する段階前に第2CVDキャッピング層を形成する段階をさらに具備することを特徴とする請求項12に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項14】 前記電子ビーム照射段階後、第3CVDキャッピング層を形成する段階をさらに具備することを特徴とする請求項12に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項15】 前記金属配線がTiN、Ti、Al、Cu、ドーピングされたポリシリコンTiSi<sub>x</sub>及びWSi<sub>x</sub>よりなる群から選択されたいずれか一つよりなることを特徴とする請求項12に記載のSOGを用いた半導体装置の絶縁膜製造方法

【請求項16】 前記第1及び第2CVDキャッピング層がSiO<sub>2</sub>、SiON、SiOF及びSiNよりなる群から選択されたいずれか一つよりなることを特徴とする請求項13に記載のSOGを用いた半導体装置の絶縁膜製造方法

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の絶縁膜として用いられるSOG層の製造方法に係り、さらに詳細にはSOG層のクラック抵抗性、吸湿性、食刻率及びブレイア抵抗を改善させ得るSOG層のキュアリング方法及びこれを含む半導体装置の絶縁膜製造方法に関する。

## 【0002】

【従来の技術】半導体装置の高集積化によってメモリのキャパシタの高さが増加してセルアレイ領域と周辺回路領域との間の段差が大きくなり、多層のメタルを用いるのでメタル形成前のプレメタル絶縁層やメタル間のインターメタル絶縁層を用いて単純な工程で望む平坦度が得られる工程が必要となった。

【0003】層間絶縁膜の形成方法としては現在BPSG(Borophosphosilicate)のリフロー方法又はO<sub>3</sub>-TEOS-USG(tetraethyl orthosilicate undoped silicate glass)のエッチバック方法が一般に用いられている。しかし、前記BPSGのリフロー方法では高温(550℃)を一定時間(30分)以上熱処理すべき短所がある。特に、256Mb以上の高集積半導体装置では高誘電物質としてTaOとBSTを採用する必要が大きくなっており、このためには熱処理工程における適用温度が低くなるべきである。一方、前記O<sub>3</sub>-TEOS-USGのエッチバック方法は工程が複雑である。さらに、

前記両方法とも充分な高平坦度を有する層間絶縁膜を提供し得ないという限りがある。

【0004】単純な工程を通じて熱処理温度を低めると同時に優秀な平坦度を有する層間絶縁膜を確保し得る方法としてSOG(Spin On Glass)を用いる方法が提案されたことがある。プレメタル又はインターメタル絶縁層としてHSQ(Hydrogen Silsesquioxan)を工程に適用し得るが、該HSQは400℃のサーマルキュアリング後3程度の誘電率を有する無機系SOG物質である。HSQは既存の無機SOGとは違って1回のコーティングで4000Å以上の厚さが得られ、このような厚さでも段差が小さい部分でクラックの生じないクラック抵抗力が大きい。さらに、膜内に炭素を含有しないのでフォトリジストストリップに際して行われる $O_2$ プラズマからの影響を既存の有機SOGより少なく受ける。

【0005】しかし、HSQは400℃で30分間キュアリングした後に7:1のBOE(Buffered Oxide Etchant)で食刻率が毎分あたり1000Å以上であり、750℃で30分間高温熱処理を施しても7:1 BOEでSOG0.5Å/分の高い食刻率を示す。このような高い食刻率では食刻率を調節し得ないので食刻率をさらに低めるために高温のフェーニスで熱処理を施しても熱酸化膜の水準に食刻率が下がらない。この結果、プレメタル絶縁層で750℃で熱処理したHSQを適用する場合、メタルコンタクト形成後に自然酸化膜の除去のためにウェットクリーニング工程を用いれば、湿式食刻率が非常に大きいのでコンタクトの大きさが増加してしまう。

【0006】一方、SOG物質をインターメタル絶縁層に適用する場合、即ちメタルとメタルとの間の絶縁膜であるIMD(Intermetallic Dielectric)層を形成するに際してギャップを埋め立て且つ絶縁層の低誘電率を保つためにSOGノンエッチバック工程又はDOM(Direct On Metal)工程を適用する必要がある。SOGノンエッチバック工程又はDOM工程ではSOG物質がファイアホールの側壁に露出される。この際、ファイアホールの形成時に用いられたフォトリジストストリップのため $O_2$ プラズマ工程を用いるが、この結果SOGの存在する部分のファイアホールの側壁がロファイルが壱状となり、よって後続工程で蒸着されるメタルの段差塗布性に不良が生じ、ファイア抵抗の失敗などの問題を招く。

【0007】かかる $O_2$ プラズマによる損傷は、炭素を含む有機SOGにおいてさらに酷く、膜内に炭素を含有しない無機SOGの場合にも $O_2$ プラズマによって多少損傷される。従って、有機又は無機SOGに関わらずにファイア抵抗の劣化を解決しないとIMDでSOGノンエッチバック又はDOM工程を用いることができなくなる。

【0008】SOG物質にはシリケート( $Si(OH)_4$ )とシロキサン( $(RO)_2Si(OH)_2$ )型がある。前記物質はメタノール、エタノール、プロパノール、ブタノール、ペ

ンタノール、ヘキサノール、メチルセロソルフ、ブチルセロソルフ、プロピレングリコール、ジエチレングリコール又はカルビノールなどのアルコール性溶媒に混合されて用いられる。

【0009】前記溶媒に混合されたSOG物質は半導体基板にコーティングされた後、前記基板の回転によって均一に塗布される。この際、SOG物質は液状に存在するため、基板上の凹溝を埋め込みながら基板の表面を平坦化させる。次に、バキューム工程によって前記溶媒が蒸発される。蒸発された溶媒と該溶媒から発生した炭素成分などは約100℃の温度と100mTorr以下の真空中で取り除かれる。

【0010】最終にキュアリングすることによってSOG層が製造される。ここで、キュアリングとは、シリケート又はシロキサン物質を高温で加熱することによって前記物質に存在するシラノール( $Si-OH$ )基が $H_2O$ を放出しながら架橋結合して $Si-O-Si$ ネットワークを形成しながら固形膜を形成することを言う。形成された固形膜は従来の $SiO_2$ 層に類似した性質を有する。

【0011】前述したようにシロキサン又はシリケート物質を加熱すると水が放出されるので、キュアリング過程でSOG膜の体積が縮まってしまう。さらに、シロキサン系列のSOGは $Si-OH$ 基の領域にアルキル基を部分的に有するため架橋結合される部分が縮まり、この結果前記体積収縮が成ることが判る。前記熱処理による体積収縮時発生するストレスはSOG膜にクラックを発生させる原因となる。シロキサン系列のSOGは相対的にクラック抵抗性が良いので厚いコーティングが可能である。シリケート系列のSOGはさらに固く $SiO_2$ により類似した性質を有するものの、厚くコーティングすると熱処理時クラックが発生し易い短所がある。

【0012】SOGはコーティング後キュアリングを行うが、この時フェーニス、オープン、ホットプレートなどを用いる。従来のキュアリング工程はフェーニス内に赤外線熱処理することによって行われてきた。具体的に、前記キュアリング工程はホットプレートで1分間、150℃以下の温度で第1熱処理を行った後、フェーニスで30分間、420℃の温度で第2熱処理することによってなる。

【0013】しかしながら、前述した従来の方法によるキュアリングではSOG膜のクラック抵抗性が劣化する問題点がある。一方、前述したキュアリング過程における架橋結合と脱水過程を通して形成されたSOG膜は後続工程や時間の経過によって再度水分を吸収しようとする吸湿性を有する。水分の吸収は、既に形成された架橋結合を破壊しながら行われ、その結果SOG膜の性質に悪い影響を与えるようになる。具体的には、前記吸湿性が大きいほど層間絶縁膜の誘電率が大きくなる問題がある。

【0014】一方、SOGを金属配線間の層間絶縁膜I

MDとして用いる場合、SOGノン (non) エッチバック又はDOM (direct on metal) 工程が用いられる。この際、SOG物質がファイア側壁に露出されながらファイア抵抗が増える、所謂“ポイズントファイア(poisoned via)”現象が生じる。詳しくは、ポイズントファイア現象が発生すると層間絶縁膜の上部の第2金属層に蒸着する時露出されたファイア側壁のSOGからアウトガシング(outgasing)が起こりながら高いファイア抵抗が引き起こる。

【0015】前記ポイズントファイア現象はSOG物質内に存在するシラノール基(—OH基)によるものと知られている。詳細には、前記—OH基は、例えば第2アルミニウムをその上部に蒸着する場合、 $Al_2O_3$ の酸化膜が形成されることによってファイア抵抗が増加される。さらに、フォトリソistをストリップする、プラズマ処理を行うとSOG膜内の—OH基が増加しながらファイア抵抗が一層劣化する。

【0016】このようなファイア抵抗を減らすための従来の方法として、ファイアの側壁に露出されたSOGをTiやTiNでシーリングする方法、又はエッチバックでファイア部位のSOGを取り除く方法などが提案されたことがある。前記従来の方法を用いて100個のファイアチェーンで測定した第1金属と第2金属間のファイア抵抗( $3\mu m \times 3\mu m$ ,  $m\Omega$  (ファイア))は各々60~70、90~200及び100~150程度であり、SOGを用いなかった時のファイア抵抗は40~50  $m\Omega$  (ファイア)程度である。エッチバックを施した方のファイア抵抗が高い理由は、エッチバック時エントーポイントが感知し難いのでファイアの側壁にSOGが残留する問題があるからである。Tiを障壁層として用いると比較的低く且つ安定したファイア抵抗を有するものの、Ti薄膜の形成工程が複雑となり、高コストとなる問題がある。

【0017】前述したSOG膜の吸湿性、ポイズントファイア現象によるファイア抵抗及びクラック抵抗性などの問題の主な原因は、SOG膜内に存在する水分及びシラノール基(—OH基)と、これを取り除くためのキュアリング工程における高温である。もし、キュアリング温度を下げると前記水分及びシラノール基が完全に除去されないだけでなくSOG膜の食刻率が高くなってコンタクトホールが大きくなってしまい、従って、前記SOG膜の問題を同時に解決するためにはキュアリングの温度を上げる上にクラック発生を抑えるか、逆にキュアリング温度をさげながらも前記水分及びシラノール基を取り除くことによってキュアリング効果を得られる手段を提供すべきである。

【0018】前記二つの方法中、キュアリング温度を下げるながらも前記水分及びシラノール基を取り除いてキュアリング効果を達成する方法として、米国特許番号第498546号は紫外線(UV)照射を用いたSOGキュアリング方法について開示している。詳しくは、前記米国特

許番号第498546号はUV照射を用いることによって従来のファーンズに比べてより低い温度でSOGをキュアリングする方法を提供している。しかし、前記米国特許の方法によれば、照射されたUVが被照射層の表面に吸収されてしまい、厚いSOGをキュアリングし得ない決定的な限界を有する。SOG膜は厚く形成されるほど優れた平坦度が得られるものである。従って、前記米国特許はSOG膜が半導体装置で基本的に果たすべき役割の平坦化を十分達成し得ない短所がある。

【0019】

【発明が解決しようとする課題】従って、本発明の目的は、SOG層のクラック抵抗性を向上させ、膜質を固くして食刻率を改善し、SOG層の使用によるファイア抵抗の劣化を防止することにある。

【0020】

【課題を解決するための手段】前記の目的を達成するために、本発明はパターン形成された半導体基板上に第1金属層を形成する段階と、前記第1金属層の上部にSOG層を形成する段階と、前記SOG層を電子ビームでキュアリングする段階とを含めてなるSOG層の製造方法を提供する。

【0021】本発明の一実施例によれば、電子ビームをSOG層に照射することによってSOGの膜質が固くなってフォトリソist除去時の、プラズマによる損傷がなくなり、よって有機SOGの場合にもノンエッチバックでIMD層を形成し得る。一方、前述したように全面的にSOG層を電子ビームでキュアリングすると膜質が固くなるに對し、SOG物質のうち低誘電率を有するSOGを適用すると誘電率が高くなる恐れがある。即ち、導電線との間に埋め立てられるSOGまで一切キュアリングする場合には膜質の誘電率が高くなるにつれて集積化された素子の場合に信号伝達時間が延びる、即ち、RCタイムディレイが生ずる恐れがある。ここで、Rは金属配線の抵抗であり、Cは絶縁膜のキャパシタンスを示す。

【0022】従って、本発明による他の実施例では低誘電率を有するSOGの誘電率を保つために導電線の間には低誘電状態のSOGを残し、コンタクトの形成される部分では固い膜質を形成して素子の高集積化時に生ずる問題点を解決する。

【0023】

【発明の実施の形態】以下、添付した図面に基つき本発明の好ましい実施例を詳細に説明する。

（実施例1）図1乃至図4は本発明のSOG層の製造方法を順に示した概略断面図である。図1を参照すれば、半導体基板1と絶縁膜10が順次に形成され、その上部にパターニングされた第1金属11、第1キャッピング層12及びSOG層13が順に形成されている。この際、前記第1キャッピング層12を形成せずに直ぐSOG層を形成することによってIMDのDOM構造を形成して

も良い。第1キャッピング層12はCVD酸化膜又は低温酸化膜から形成される。前記CVD酸化膜は $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x$ 又は $\text{SiN}$ よりなることが好ましい。

【0024】前記SOGは液状で適用されるのでボイドを発生させることなく狭い空間を埋め込む長所がある。SOG物質はアルコール性溶媒に混合されたシリキサン又はシリケートであって、これをバーキングすると溶媒は蒸発され固体膜のみ残るが、該固体膜は $\text{SiO}_2$ 膜に類似した性質を有する。本発明のSOGは有機系及び無機系のいずれも含むものである。有機SOGは工程の単純化、優秀な平坦度及び低温熱処理工程を適用し得るなどの長所を有するに對して、その膜内に炭素成分を含有し易く、600℃以上ではクラックが生成される短所がある。

【0025】これに對して、無機SOGの一種であるHSQ(Hydrogen Silsesquioxane)はスピンコーティング方式によって3000Å以上の膜を形成することができ、既存の有機又は無機SOGとは違って特定温度に達するとセルフフローする特徴を有するため、さらに優秀な平坦度を有するに加えて700℃以上でもクラックを発生させない優れたクラック抵抗性を有する。このような熱処理時のクラック抵抗性によって後続くキャッピング層をより容易に形成し得る。従って、本発明の好ましい実施例では前記HSQをSOG物質として用いた。

【0026】HSQは400℃の温度で3程度の誘電率を有する無機SOG物質の一種である。しかし、既存の無機SOGとは違って、1回コーティングで4000Å以上の厚さが得られ、このような厚さでも段差が大きい部分でクラックが発生しないクラック抵抗性が大きい。さらに、既存の有機SOG膜と違って、膜内に炭素を含有していないためフォトレジストストリップ時行われるO<sub>2</sub>プラズマの影響を少なく受ける。

【0027】図2は電子ビーム18を用いて前記HSQをキュアリングすることを示したものである。電子ビームはUV照射と違って常温でもキュアリングが可能であり、且つ30KeVで20μm程度の厚いSOG膜もキュアリングし得る長所を有する。本発明の電子ビーム照射装置は、照射される半導体基板の広さに相応するよう広域の電子放出領域を有することによってその処理量が大いのが好ましい。前記照射装置はフローディスチャージカソードを含むことが好ましい。

【0028】電子ビームの照射は所定のガスを含む真空チャンバ(4示せず)内で行われる。前記ガスとしては窒素、ヘリウム又はアルゴンなどのガスを用い得る。まず、ターゲット平板11に半導体基板を置いた後、真空チャンバの圧力を1〜200ミリバーに下げる。前記圧力は真空チャンバに取り付けられたリークバルブで調節される。次に、カソードに数十Vの電圧を加えると電子が放出されるが、該電子はまずカソードとターゲットとの間に存在するガスをイオン化する。前記イオン化過程で

生成された陽イオンは加速領域を通過しながらカソードに突進してその表面にぶつかる。この際、第2電子カソードから放出されてターゲットに向きながら電子ビーム照射が行われる。

【0029】通常、前記加速領域は細密なメッシュ(mesh)を具備したグリッドとカソード間の空間からなるが、前記グリッドに0〜10V程度の弱い負の電圧を加えると前記陽電荷がグリッドに進んでからグリッドのメッシュを通過した後は高電圧が加わっているカソードに向いて高エネルギーを持って突進する。前記電子ビームは照射されるHSQ層を加熱させずに常温〜500℃でキュアリングされるようにする。さらに、前記電子ビームによれば従来のUV照射や熱処理に比べ迅速にキュアリングされ、生成されるSOG層13'の膜質がさらに固くなる。本発明の電子ビーム照射は500乃至50kVの電圧がカソードに印加された状態で望む電荷量に至るまで行われる。

【0030】下記の表1は電子ビームキュアリング後のHSQ収縮を4回に於けて測定したものである。

【表1】

順序	厚さ		収縮(%)
	キュアリング前	キュアリング後	
1	3524	2486	29
2	3587	2508	30
3	3591	2499	30
4	3598	2533	31

【0032】前記表から判るように、HSQ膜がコーティング前に比べて30%程度縮まって膜質が非常に固まった。[43を参照すれば、前記キュアリングされたHSQ層13'の上部に第2キャッピング層14が形成される。前記第2キャッピング層は前記HSQ層13'の安定化、粗密化、後続工程における吸湿防止などの作用をするものであって、前記HSQ層13'に對してO<sub>2</sub>プラズマ処理を行ったり200℃以上の温度でCVD酸化膜又は低温酸化膜より形成し得る。次に、前記第2キャッピング層に對して500℃以上の温度で熱処理しても良い。仮に前記第2キャッピング層の形成時の温度が500℃以上であれば前記熱処理工程は省いても良い。

【0033】次いで、[44に示したようにグレイア15を形成し、金属を蒸着及びパタニングして第2金属16を形成する。最後に、前記第2金属16をパシベーション層17で覆う。この際、前記パシベーション層にもHSQを用い得るが、これをキュアリングするために前述した電子ビームを用い得る。[44に示したように、前記グレイア15の形成時グレイアの側壁にHSQ物質が露出される。本発明のHSQ層はシラノール基及び水分が常温〜500℃で電子ビームで取り除かれたものである。

ので、前記露出時にもシラノール基が前記側壁に存在するなどの問題は発生しない。従って、所謂ポイズンドブライア現象が発生しなく、ブライア抵抗も増加しない。

【0034】図5は前記HSQ層に対する $O_2$ プラズマ処理前後のFTIR(Fourier Transform Infrared)スペクトロスコピプロット(spectroscopy plot)を示す。図5の二つのグラフ中、上のが前記処理後のものであり、下のが前記処理前のものである。これから判るように、本発明のSOG層では $O_2$ プラズマ処理前後を通して $950cm^{-1}$ 付近の吸い及び $980cm^{-1}$ 付近の $OH$

基が表れなかった。

【0035】下記の表2は電子ビームでキュアリングされたHSQをノンエッチバックでIMD工程に適用した時のブライア抵抗の失敗を $350^{\circ}C$ でそれぞれのブライアの大きさと経過時間を異にして測定したものである。前記測定は総135個のブライアを対象として行われた。

【0036】

【表2】

ブライアの大きさ ( $\mu m$ )	0.72×0.8			0.56×0.64			0.48×0.56		
	初期	100	300	初期	100	300	初期	100	300
抵抗失敗の表れたブライア個数	3	3	3	3	3	4	1	1	1

【0037】前記表2から判るように、本発明によるSOG層には時間経過による抵抗失敗の増減がなかった。(実施例2)実施例2は実施例1と異なってSOG層に直接電子ビームを照射しなく、よって低誘電率を有するSOGの場合に導電線の間には低誘電状態のSOG物質を残すことでその誘電率を保ち、コンタクトの形成される部分では固い膜質を生成することで素子の高集積化による問題を解決する。

【0038】図6を参照すれば、第1金属21の形成された基板20上に選択的に第1CVDキャッピング層22を形成する。前記第1金属21は $TiN$ 、 $Ti-Al$ 、 $Cu$ 、ドーピングされたシリコン、 $TiSi_x$ 及び $WSi_x$ よりなる群から選択されたいずれか一つよりなることが好ましい。この際、前記第1CVDキャッピング層22に代わって任意にSOG層を形成しても良い。次に、前記結果物の上部にSOG層23をコーティングし、 $400^{\circ}C$ 以下の温度でキュアリングする。前記SOG層をコーティング及びキュアリングする段階は任意に行われるものであって省いても良い。前記SOG層23の上部に $100\text{\AA}$ 〜 $500\text{\AA}$ 厚さの第2CVDキャッピング層24を形成する。前記第1CVDキャッピング層22及び第2CVDキャッピング層24は $SiO_2$ 、 $SiON$ 、 $SiOF$ 及び $Si_3N_4$ よりなる群から選択されたいずれか一つよりなることが好ましい。

【0039】図7を参照すれば、前記第2CVDキャッピング層24の上部に電子ビーム28を照射する。このような電子ビーム28の照射を通してSOG層23の低誘電率を保つと共にコンタクトの形成される部分では固い膜質を生成し得る。図8を参照すれば、電子ビーム28が照射された第2CVDキャッピング層24の上部に第3CVDキャッピング層29を任意に形成し得る。

【0040】図9を参照すれば、前記結果物構造にブライア25を通して前記第1金属21と電氣的に連結される第2金属26を形成する。前記結果物構造の上部はバ

ンパレーション層27で覆われる。本発明は前記実施例を通じて説明されたが、当業者によって本発明の思想内で多様な変形が可能である。

【0041】例えば、本発明はIMDエッチバック、IMDノンエッチバック、IMD-DOE、ILD及びバンパレーション層のいずれにも適用し得る。従って、前記図面を通じて説明及び図示した特定実施例は限定的に解釈されては行けない。しかも、このような実施例の細部事項に対する図面参照符号は本発明の特許請求の範囲を限定するものではない。さらに、前記実施例のキャッピング層を第1、第2、第3CVDキャッピング層と区分したのは、その形成順序を限定するためではなく、ただ互いに区別するためである。従って、添付した特許請求の範囲における第1、第2、第3CVDキャッピング層とその順序が異なっても構わない。

【0042】

【発明の効果】本発明によれば、常温〜 $500^{\circ}C$ でキュアリングを実施することによってSOG層のクラック抵抗性及びSOG層の密度が増大され、後続プラズマ $O_2$ 処理工程時のSOG層の損傷が防止される。さらに吸湿性及びブライア抵抗が減少する。

【図面の簡単な説明】

【図1】本発明のSOG層製造方法の第1実施例を順次示した断面図である。

【図2】本発明のSOG層製造方法の第1実施例を順次示した断面図である。

【図3】本発明のSOG層製造方法の第1実施例を順次示した断面図である。

【図4】本発明のSOG層製造方法の第1実施例を順次示した断面図である。

【図5】HSQ層に対する $O_2$ プラズマ処理前後のFTIRスペクトロスコピプロットを示したデータ図である。

【図6】本発明のSOG層製造方法の第2実施例を順次

に示した断面図である。

【図7】本発明のSOG層製造方法の第2実施例を順次に示した断面図である。

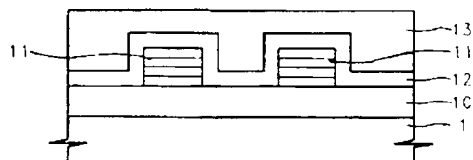
【図8】本発明のSOG層製造方法の第2実施例を順次に示した断面図である。

【図9】本発明のSOG層製造方法の第2実施例を順次に示した断面図である。

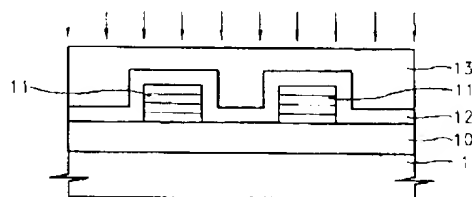
【符号の説明】

- 1 半導体基板
- 10 絶縁膜
- 11 第1金属
- 12 第1キャッピング層
- 13 SOG層

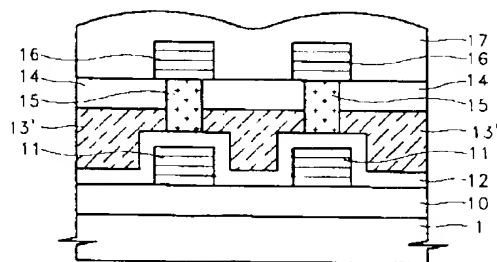
【図1】



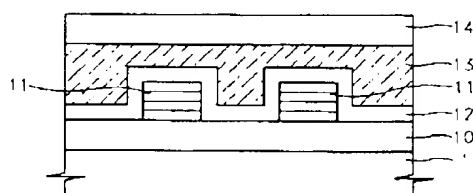
【図2】



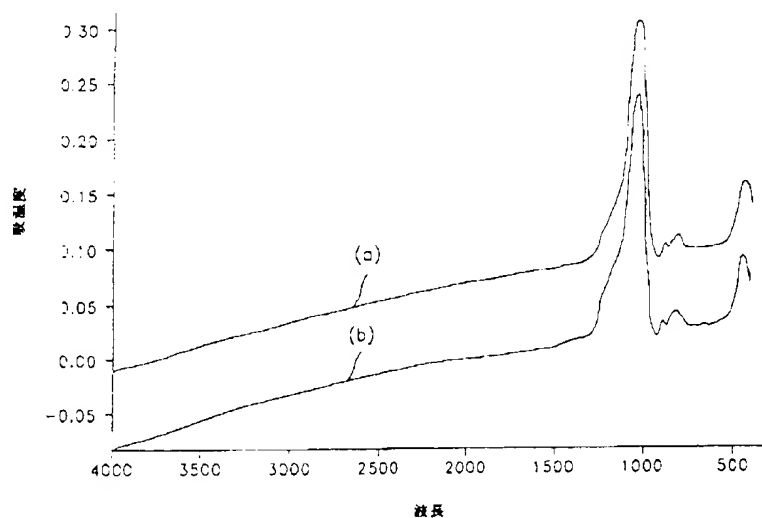
【図4】



【図3】

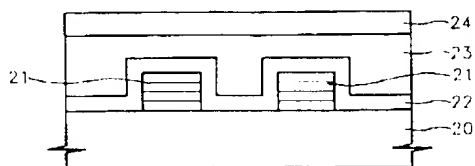


【図5】

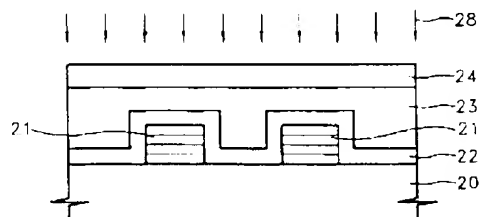




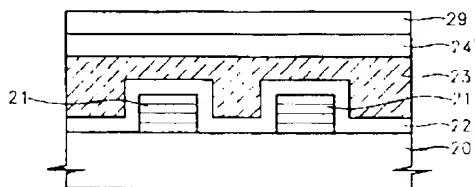
【図6】



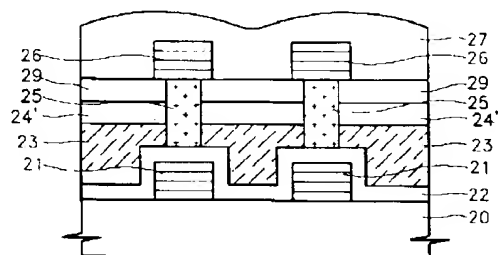
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 李 海▲呈▼

大韓民国京畿道水原市八達区梅灘洞810番

地三星2次アパート3棟206号

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art] In order to protect conventionally the electrical circuit (a conductive layer, wiring structure which consists of lead wire) formed on the wafer (substrate) in semiconductor devices, such as electron devices, such as DRAM and a logic IC, the electric insulation layer is prepared in the front face of the electrical circuit. Moreover, when a semiconductor device takes the multilayer-interconnection structure to which the laminating of two or more electrical circuits was carried out, the electric insulation layer is prepared also among the layers between the upper wiring and lower layer wiring etc.

[0003] Using a ceramic-like silica film is known as such an electric insulation layer. For example, after applying the solvent solution of a hydrogen silsesquioxane resin on a semiconductor substrate (thing in which the electrical circuit was formed on the substrate) and evaporating a solvent from the paint film, by heating under a 150-1000-degree C temperature condition, this resin is formed into a ceramic-like silica to JP,6-42477,B, and the method of covering an electron device with a silica film is indicated.

[0004] However, generally, the hydrogen silsesquioxane resin contained the volatile component (low molecular weight constituent) of the grade which cannot be disregarded, reduction of the thickness of \*\*\*\* and a paint film took place this to such an elevated temperature, and there was a problem of internal stress occurring in a film, and there was a problem that the contamination to the peripheral device by scattering of a volatile component took place. In order to solve this problem, the method of removing the low molecular weight constituent in a hydrogen silsesquioxane resin is proposed. For example, a solvent is added to the compounded hydrogen silsesquioxane resin, and the method of removing a low molecular weight constituent is proposed by JP,6-157760,A. However, the hydrogen silsesquioxane resin from which the low molecular weight constituent was removed by the method of starting had the fault of being inferior to covering flat metaplasia, when it applied to a semiconductor substrate. If covering flat metaplasia is bad, abnormalities will arise in the electrical property of a semiconductor device. Moreover, in addition to the hydrogen silsesquioxane resin of the amount of macromolecules being inferior to covering flattening to a semiconductor substrate in itself, the need had the process which heats under a high temperature condition (200 degrees C or more), and is fused in softening temperature being high (180 degrees C or more), and the hydrogen silsesquioxane resin of the amount of macromolecules covering a semiconductor substrate using this thing. Furthermore, this thing was what there is a fault, such as being inferior to the embedding nature to the level difference section of the semiconductor substrate of an electron device which has multilayer-interconnection structure, and cannot fully be satisfied.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## MEANS

[Means for Solving the Problem] In the semiconductor device which comes to prepare the wiring structure which consists of a conductive layer of at least one layer through an electric insulation layer in the front face of a semiconductor substrate, the semiconductor device of this invention is the hardened material of the hydrogen silsesquioxane resin with which the aforementioned electric insulation layer contains a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, and is characterized by being formed from the thin film which makes a silica a subject.

[0007] Moreover, the manufacture method of the semiconductor device of this invention is faced manufacturing the semiconductor device which comes to prepare the wiring structure which consists of a conductive layer of at least one layer through an electric insulation layer in the front face of a semiconductor substrate. Apply the liquefied object which consists of a hydrogen silsesquioxane resin which contains a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, and a solvent on the front face of the aforementioned semiconductor substrate, and the aforementioned conductive layer, and a paint film is formed. Subsequently, it is characterized by irradiating this paint film, making it harden a high-energy line, and forming the aforementioned electric insulation layer.

[0008] Thus, while being able to raise the covering flat metaplasia of an electric insulation layer in order not to use the hydrogen silsesquioxane resin of the amount of macromolecules if it puts in another way in order to use the hydrogen silsesquioxane resin which contains a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, it becomes possible to raise the embedding nature to the level difference section of the substrate of an electron device. Moreover, since it does not heat at an elevated temperature (150 degrees C - 1000 degrees C) as in the former in order to irradiate a paint film and to make it harden a high-energy line (it is 60 degrees C or less though heated), reduction of the thickness of the paint film by volatilization of a low molecular weight constituent etc. does not arise.

[0009]

[Embodiments of the Invention] In order to manufacture the semiconductor device of this invention, as shown in drawing 1 (a), the ground insulating layer 2 is first formed in the front face of the semiconductor substrate 1. Subsequently, on the ground insulating layer 2, sputtering of the metals, such as aluminum, is carried out, a conductive layer is formed, patterning of this is carried out by the well-known method, and the lower layer wiring 3a, 3b, and 3c is formed.

[0010] Next, as shown in drawing 1 (b), an insulating layer 4 is formed after the lower layer wiring 3a, 3b, and 3c. Next, by carrying out the mask of the front face of an insulating layer 4 by the photoresist, for example, \*\*\*\*\*ing alternatively the insulating layer 4 on lower layer wiring 3a and 3c, as shown in drawing 1 (c) After preparing the through hole which reaches the lower layer wiring 3a and 3c, respectively, carry out sputtering of the metals, such as aluminum, to this through hole inside, and a conductive layer is formed. The wiring 5 between layers is made to remain in the above-mentioned through hole by carrying out etchback until an insulating layer 4 exposes this by plasma etching.

[0011] Subsequently, as shown in drawing 1 (d), the upper wiring 6a and 6b and an insulating layer 7 are formed, respectively on the front face by which etchback was carried out to having arranged the lower layer wiring 3a-3c and the insulating layer 4 by the same method. Thus, on the semiconductor substrate 1, the multilayer-interconnection structure which consists of lower layer wiring 3a-3c and the upper wiring 6a and 6b is formed, and these wiring is electrically insulated by the insulating layers 4 and 7 between the ground insulating layer 2 and a layer.

[0012] The insulating layers 4 and 7 between the ground insulating layer 2 and a layer are the hardened materials of the hydrogen silsesquioxane resin which contains a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, and are formed from the thin film which makes a silica a subject, respectively. a hydrogen silsesquioxane resin -- formula: --  $\text{HSiO}_{3/2}$  It is the polysiloxane which makes the main skeleton 3 functionality siloxane unit shown, and is the polymer expressed with general formula:  $(\text{HSiO}_{3/2})_n$  (n is an integer among a formula.). The hydrogen silsesquioxane resin used by this invention needs to contain a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, and it is desirable to contain at least 50% of the weight. If molecular weight becomes less than 45% of the weight, 1500 or less hydrogen silsesquioxane resins content this When it faces forming insulating layers 4 and 7 and a hydrogen silsesquioxane resin is applied to the lower layer wiring 3a, 3b, and 3c or the upper wiring 6a and 6b, It is because it becomes impossible to form the homogeneous silica film (electric insulation layer) which was inferior to the covering flat metaplasia to these wiring, was inferior to the embedding to the level difference section of the semiconductor substrate of the electric device which has multilayer-interconnection structure especially, and was excellent in electric insulation.

[0013] Generally a hydrogen silsesquioxane resin is manufactured by understanding a trichlorosilane an added water part and

carrying out a polycondensation (refer to JP,47-31838,B, JP,59-189126,A, and JP,60-42426,A). The hydrogen silsesquioxane resin used by this invention can be manufactured by separating a low molecular weight constituent by adding a nonpolar solvent to the hydrogen silsesquioxane resin which took the means to which the amount of generation of a with a molecular weight of 1500 or less low molecular weight constituent is made to increase in the manufacture method of the hydrogen silsesquioxane resin generally known, or was compounded, dissolving this resin, adding polar solvents to this solution and carrying out molecular weight judgment.

[0014] \*\* In order to form the insulating layers 4 and 7 between the ground insulating layer 2 and a layer On the front face of the semiconductor substrate 1, on (drawing 1 (a)) and the lower layer wiring 3a, 3b, and 3c First, (drawing 1 (b)). Or after the upper wiring 6a and 6b, the liquefied object which consists of a hydrogen silsesquioxane resin which contains ( drawing 1 (d)) and a with a molecular weight of 1500 or less hydrogen silsesquioxane resin at least 45% of the weight, and a solvent is applied, and a paint film is formed.

[0015] The solvent used here dissolves a hydrogen silsesquioxane resin, and especially if a chemical change is not caused, it will not be limited. As this solvent, aromatic system solvents, such as toluene and a xylene, a hexane, Ketone system solvents, such as aliphatic system solvents, such as a heptane and an octane, a methyl ethyl ketone, and a methyl isobutyl ketone, Aliphatic ester solvents, such as butyl acetate and an isoamyl acetate, 1, 1, 1, 3 and 3, 3-hexa methyl disiloxane, Chain-like methyl siloxanes, such as 1, 1, 3, and 3-tetramethyl disiloxane, The SHIRIKONN system solvent of silane compounds, such as cyclosiloxanes, such as 1, 1, 3, 3, 5, 5, 7, and 7-octamethyl tetracyclo siloxane, 1, 3 and 5, and a 7-tetramethyl tetracyclo siloxane, a tetramethylsilane, and dimethyl diethylsilane, is \*\*\*\*\*. A silicone system solvent is desirable also in these.

[0016] The liquefied object which consists of an above-mentioned hydrogen silsesquioxane resin and an above-mentioned solvent is not hindered by carrying out addition combination of a well-known ceramic oxide precursor, for example, a tetrapod n-propoxy zirconium, tetrapod iso PUTOKIKISHI titanium, tris pentane 2 acid aluminum, a pentaethoxy tantalum, TORIPUROPOKISHI vanadium, pentaethoxy niobium, a PENTA 2 acid zirconium, the JIPUTOKISHI screw pentane 2 acid titanium, etc. conventionally, unless the purpose of this invention is spoiled. Moreover, a platinum catalyst or a rhodium catalyst can be added and the formation speed and the degree of a silica film (electric insulation layer) can be made to increase. As this catalyst, the complex of a chloroplatinic acid, a platinum chloride, and tetramethyl divinyl disiloxane is mentioned. Generally these catalysts are used within the limits of the 1 - 500 weight section to the hydrogen silsesquioxane resin 1 million weight section.

[0017] It is not limited especially that what is necessary is just the method of applying uniformly as the method of application for forming the above-mentioned paint film. As this method of application, the spin coating method, a dip coating method, the spray coating method, and the flow coating method are illustrated. Evaporation removal of the solvent is carried out from this paint film. Especially as a method of evaporating a solvent, it is not limited but the method of leaving and air-drying under ordinary temperature or heating of 60 degrees C or less, the method of putting under reduced pressure, the method of spraying a wind, etc. are illustrated.

[0018] Since a solvent disperses by rotation in adopting the spin coating method as the method of application, generally the drying time is not required. Moreover, formation of a paint film may produce an opening in this way at the bottom of the level difference section (crevice between the lower layer wiring 3a, 3b, and 3c or between the upper wiring 6a and 6b) of a semiconductor substrate. Furthermore, there are many states where the front face of a paint film lenticulated, and bird clappers. Then, in order to abolish such an opening and a surface flapping state, it is desirable to carry out heating fusion of the paint film at the temperature which does not vaporize a paint film, for example, the temperature of 60 degrees C or less, and to perform embedding of the level difference section and flattening of a paint film.

[0019] \*\* Next, irradiate this paint film and make it harden a high-energy line. By this, some hydrogen silsesquioxane resins at least ] which constitute a paint film change into a silica, and the insulating layers 4 and 7 between the ground insulating layer 2 which consists of a silica, and a layer are formed, respectively. Here, a silica means a silicon dioxide (SiO<sub>2</sub>) and the amorphous silica which has not carried out the deletion of an amorphous silica and a silanol group, and/or the hydrogen atom completely is also contained in this. Moreover, as mentioned above, when addition combination of the ceramic oxide precursor etc. is carried out at a liquefied object, the thing containing these compounds is also contained.

[0020] As a high energy used here, there are an electron ray, ultraviolet rays, an X-ray, infrared radiation, microwave, etc. It is desirable to use an electron ray also in these. It is desirable to perform high-energy line irradiation in air or oxygen content gas. Gas other than oxygen content gas may be used, and nitrogen gas and argon gas are illustrated by this. The silicon atomic-union hydrogen atom in a hydrogen silsesquioxane resin is activated, a hydrogen silsesquioxane resin oxidizes by the oxygen gas in atmosphere, and a high-energy line is converted into a silica. The temperature at the time of irradiation of a high-energy line and the conversion temperature to a silica have the desirable temperature which can, if possible, suppress scattering of a low-molecular-weight hydrogen silsesquioxane resin, and it is desirable that it is within the limits which is 10-50 degrees C.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing each process of the manufacture method of the semiconductor device which consists of an embodiment of this invention.

[Description of Notations]

1 Semiconductor Substrate 2 Ground Insulating Layer 4 Seven Insulating Layer  
3a, 3b, 3c Lower layer wiring 6a, 6b The upper wiring

---

[Translation done.]